معرفی تراشه4046

Email: admin@GLcd.ir
Website :www. GLcd. ir

تراشه 4046 یک pll بوده که در این مقاله بخش های مختلف آنرا راه اندازی و شبیه سازی مینماییم.

معرفی پایه ها:

1-خروجی پالس آشکار ساز فاز

2- خروجی آشکار ساز فازشماره 1

3- ورودی آشکار ساز فاز

4-خروجی نوسان ساز vco

5-ورودی بازدارنده

6و7-محل اتصال خازن C1

8- محل اتصال زمین

9-ورودی نوسان ساز

10-خروجی سورس فالور

11- اتصال مقاومت R1

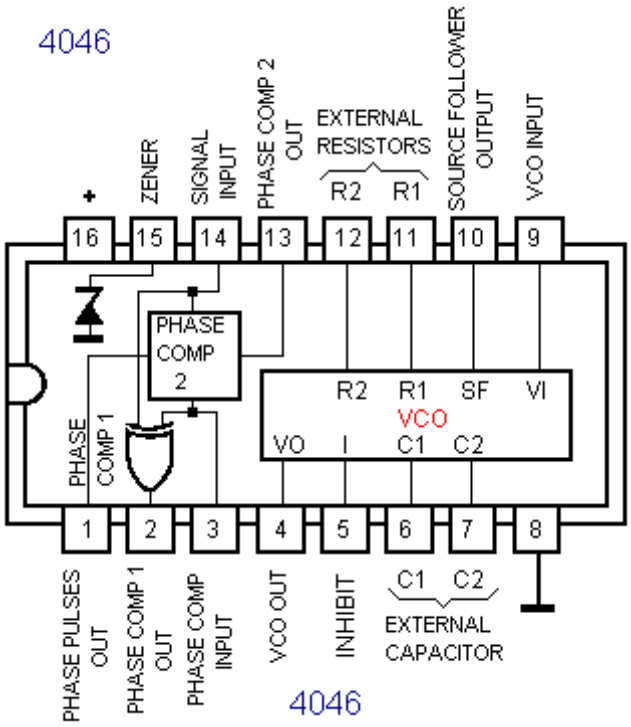
12- اتصال مقاومت R2

13- خروجی آشکار ساز فازشماره 2

14-ورودی سیگنال

15-ورودی دیود زنر

16- ولتاژ تغذیه



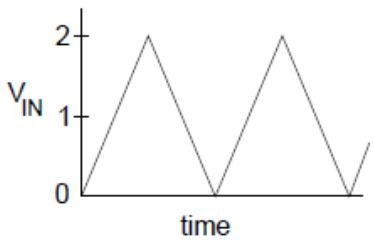
Vco

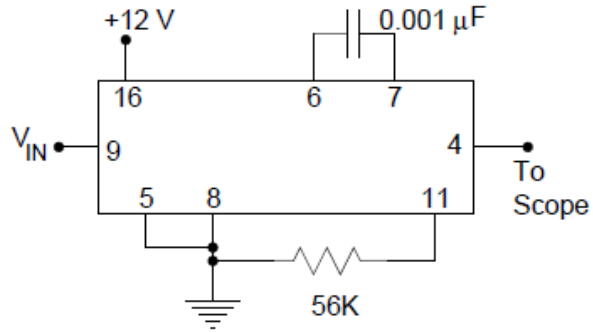
Vco مخفف عبارت voltage control oscillator میباشد به معنی اسیلاتوری که فرکانس آن توسط ولتاژ DC قابل تغییر است .تراشه 4046 دارای یک بخش vco داخلی است که میتوان از آن به صورت مجزا استفاده کرد . شکل موج خروجی vco با تغییر ولتاژ اعمالی به پایه 9 فرکانسش تغییر می کند ولتاژورودی که میتواند بین صفر تا مقدار تغذیه تراشه باشد. . فرکانس نوسان ساز به ظرفیت خازن بین پایه های 6 و 7 بستگی دارد .حد اقل ظرفیت این خازن 50pf است. البته عوامل دیگری روی این فرکانس تاثیر دارند مانند مقاومت پایه 11 که حد اقل 10k است و توضیحات آن در زیر بیان شده است .اگر مقاومت متصل به پایه 11 را R1 بنامیم داریم

$$f_{MAX} = (R_1(C + 32\,\mathrm{pf}))^{-1} \qquad 10^4\Omega < R_1 < 10^7\Omega.$$

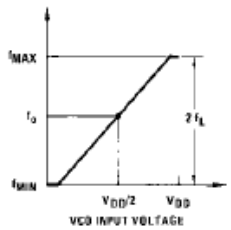
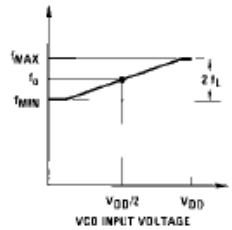
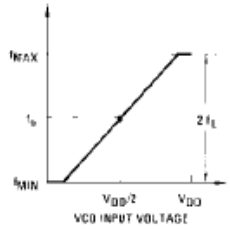
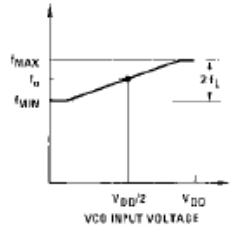
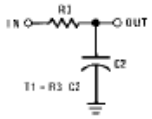
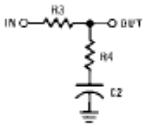
Choosing C = 0.001 μF, we obtain R_1 = 50K.

Hook up the following:

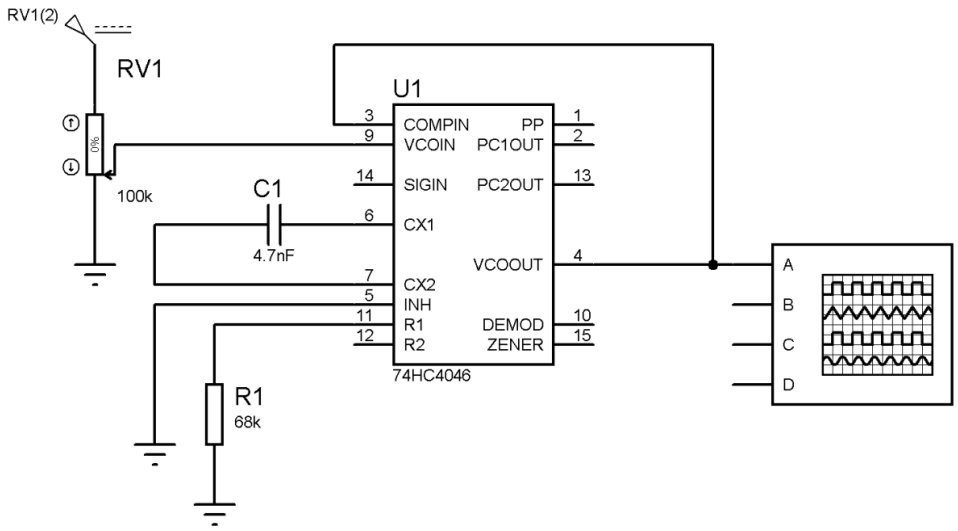


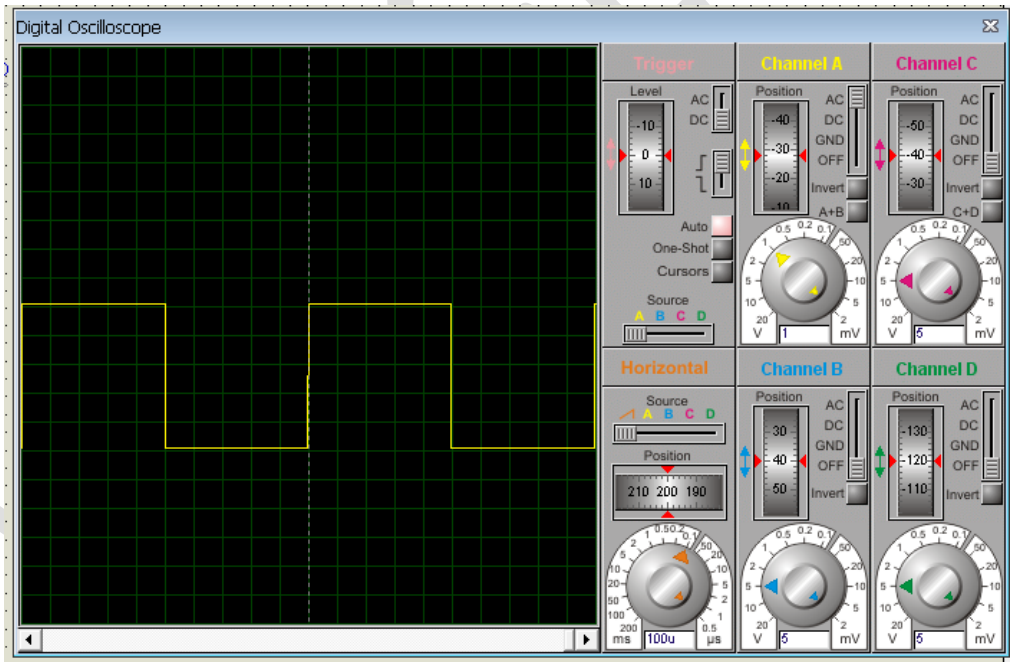


به وسیله مقاومت R2 که به پایه 12 تراشه متصل میشود میتوان fmin را افست داد و محدوده فرکانس کارکرد را محدود کرد مقاومت پایه 12 نیز حد اقل 10k است .

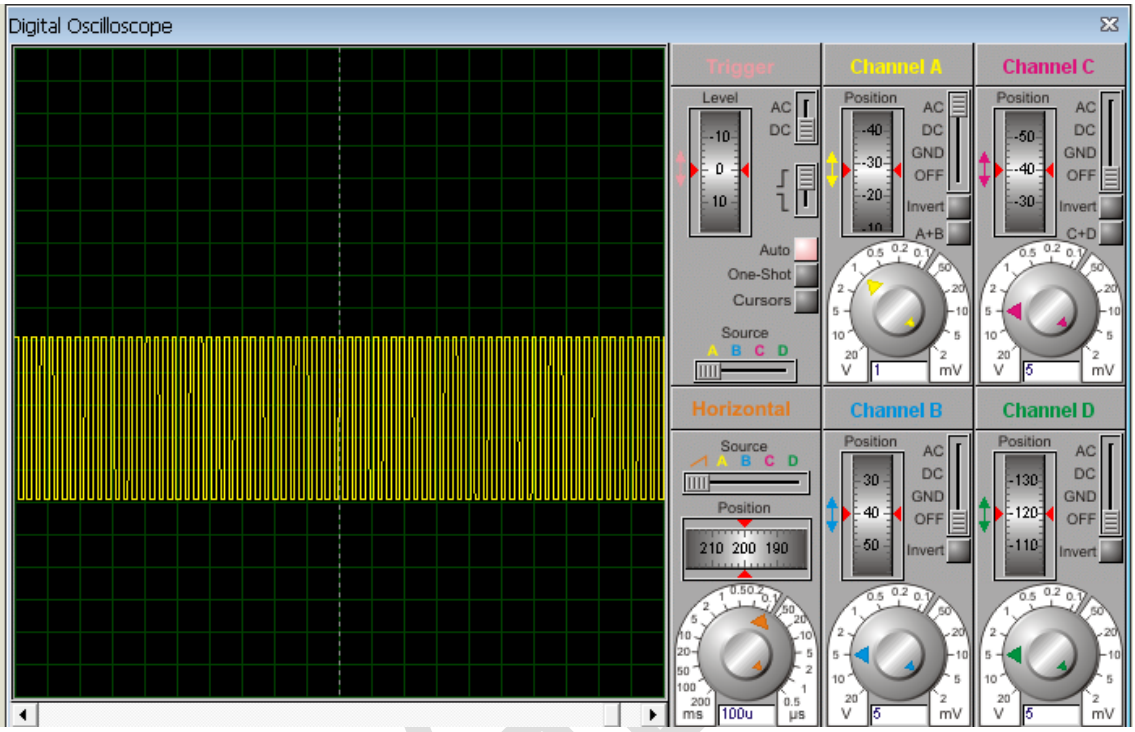
Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2 f_L$	$2 f_L$ = full VCO frequency range $2 f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2 f_C$		$2 f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		
Loop Filter Component Selection		For $2 f_C$, see Ref.	$f_C = f_L$	

در مدار زیر مقدار R1 و C1 حداکثر فرکانس قابل دسترسی را تعیین میکنند که هر چه بیشتر باشند فرکانس خروجی کمتر است.

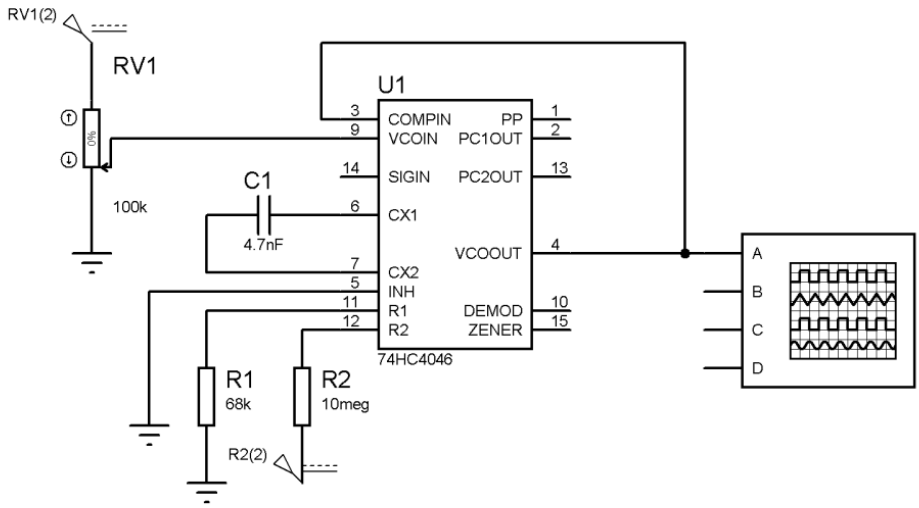




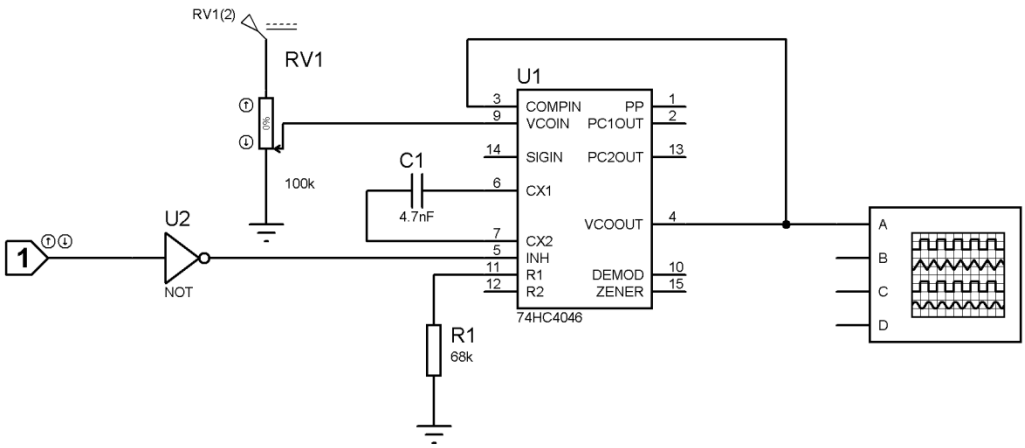
با افزایش مقدار پتانسیومتر داریم :



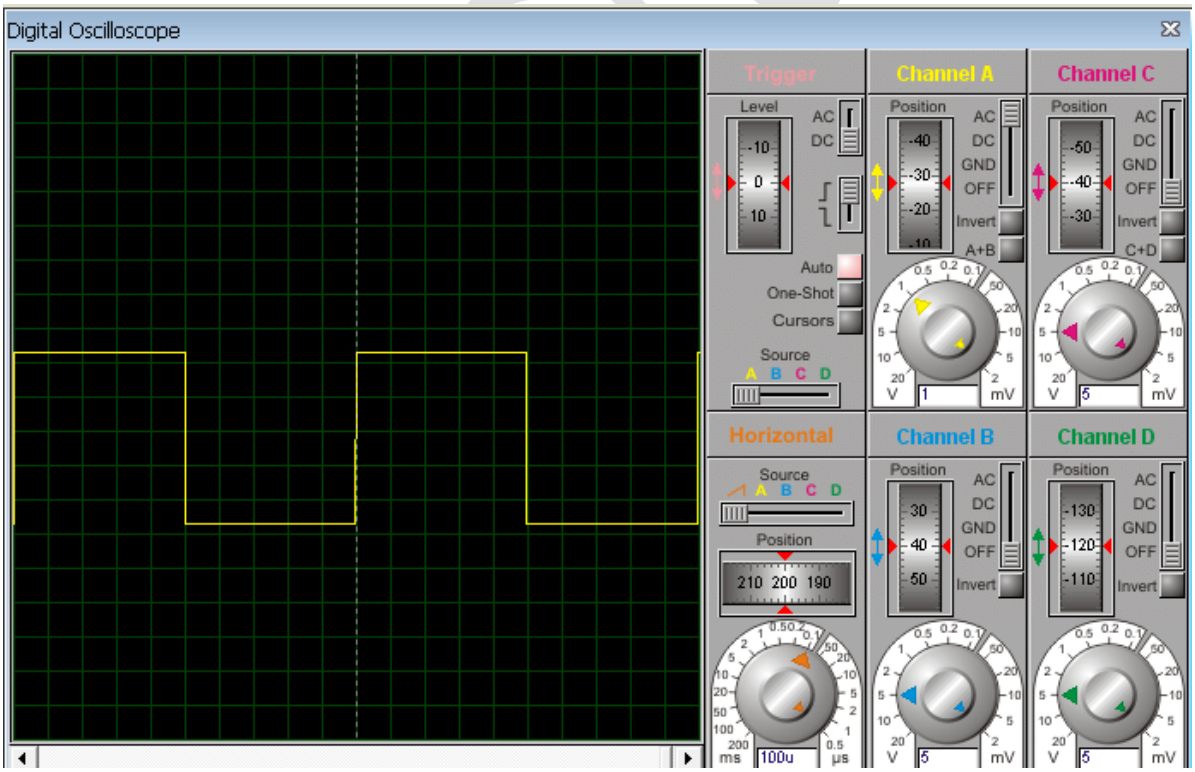
حال اگر بخواهیم مدار با ورودی صفر در فرکانس های نزدیک صفرکار کند مدار را به صورت زیر تغییر میدهیم . هر چه R2 بزرگتر باشد نتیجه بهتری حاصل میگردد .



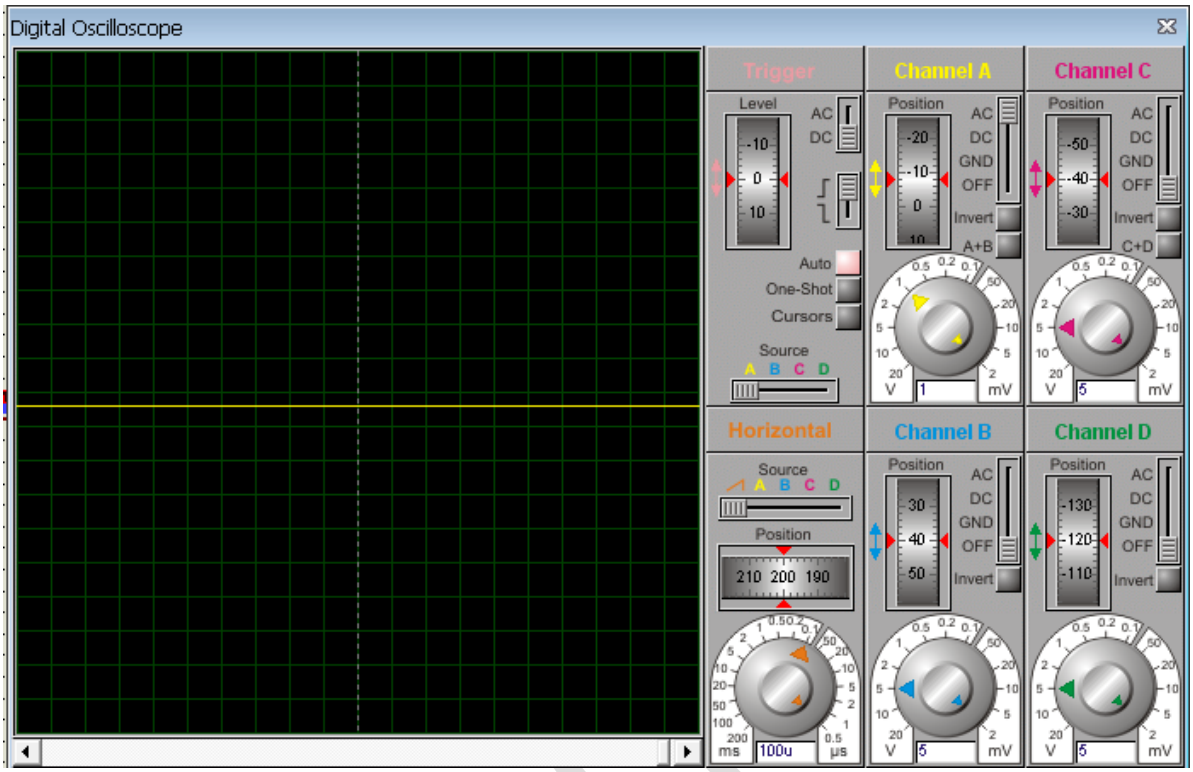
مدار با پایه فعال ساز



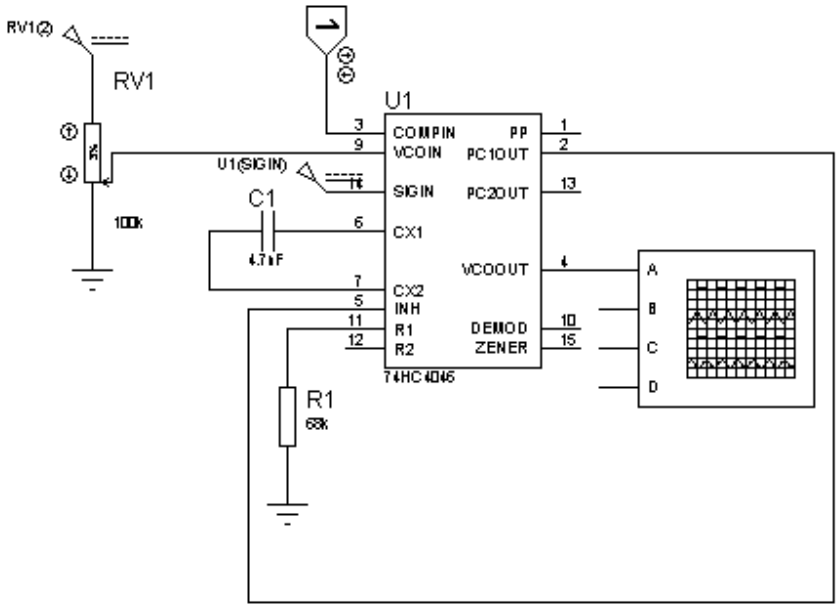
شکل موج خروجی در حالت فعال بودن پایه enable

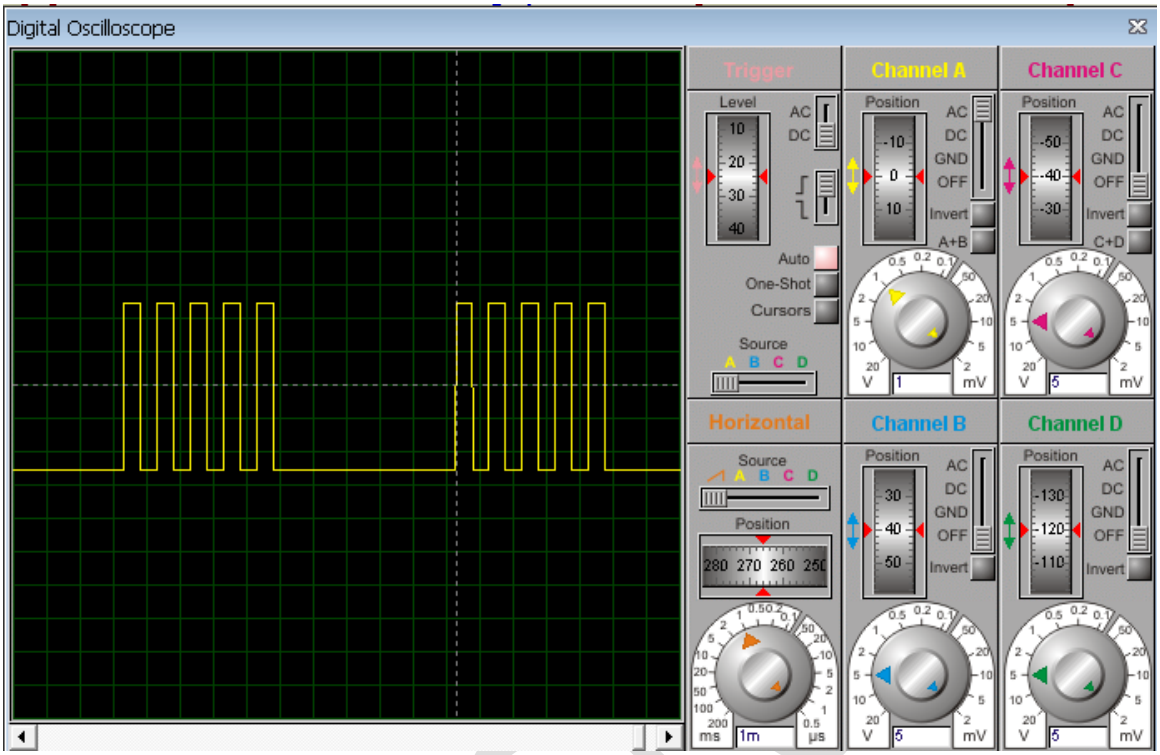


در حالت غیر فعال بودن آن خروجی نداریم



*در مدار بالا برای ساخت پایه فعال ساز از گیت not استفاده شده بود .اگر بخواهیم این پایه را بدون استفاده از این گیت بسازیم داریم



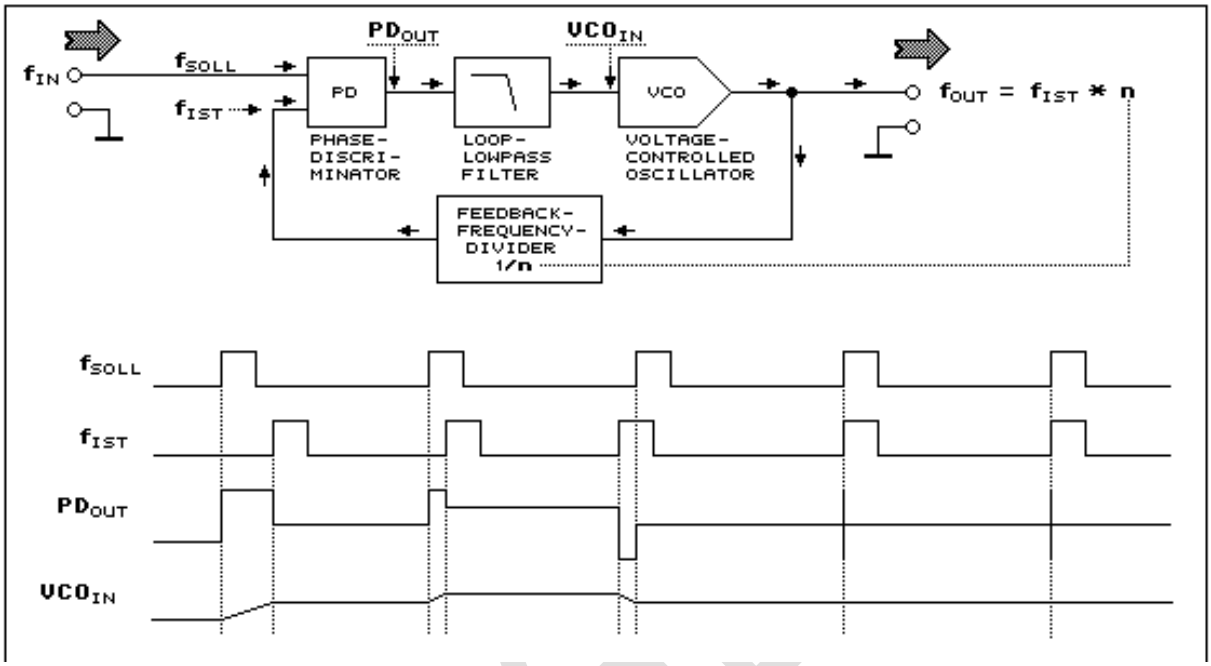


PLL

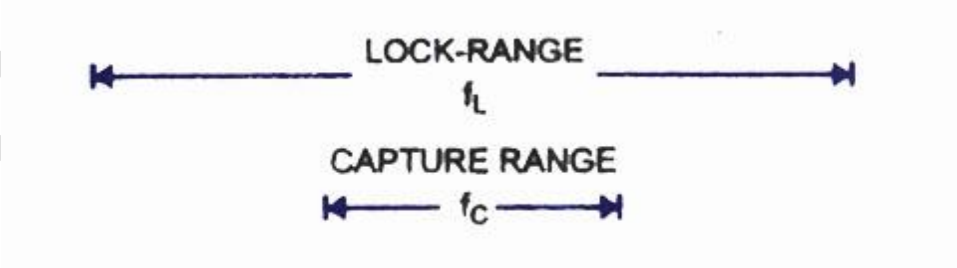
مخفف عبارت **phase locked loop**است و مداری است که در آن فرکانس و فاز خروجی یک **VCO**از موج ورودی مطابعت میکند .بلوک دیاگرام آن به صورت زیر است

طرزکار این مدار به این صورت است که موج ورودی و خروجی **VCO** به یک آشکار ساز فاز اعمال میشوند .خروجی آشکار ساز تابعی از اختلاف فاز دو موج است که به صورت سیگنال خطا ÷س از عبور از یک **LPF** به صورت سیگنال فرمان به ورودی **VCO** داده می شود به طوری که فاز خروجی نوسان ساز از فاز ورودی مطابعت نماید .اگر فرکانس خروجی **VCO**از فرکانس ورودی کمتر باشد ولتاژ خروجی مقایسه کننده بالا رفته و بعد از عبور از **LPF** به **VCO** رسیده و فرکانس آن را افزایش

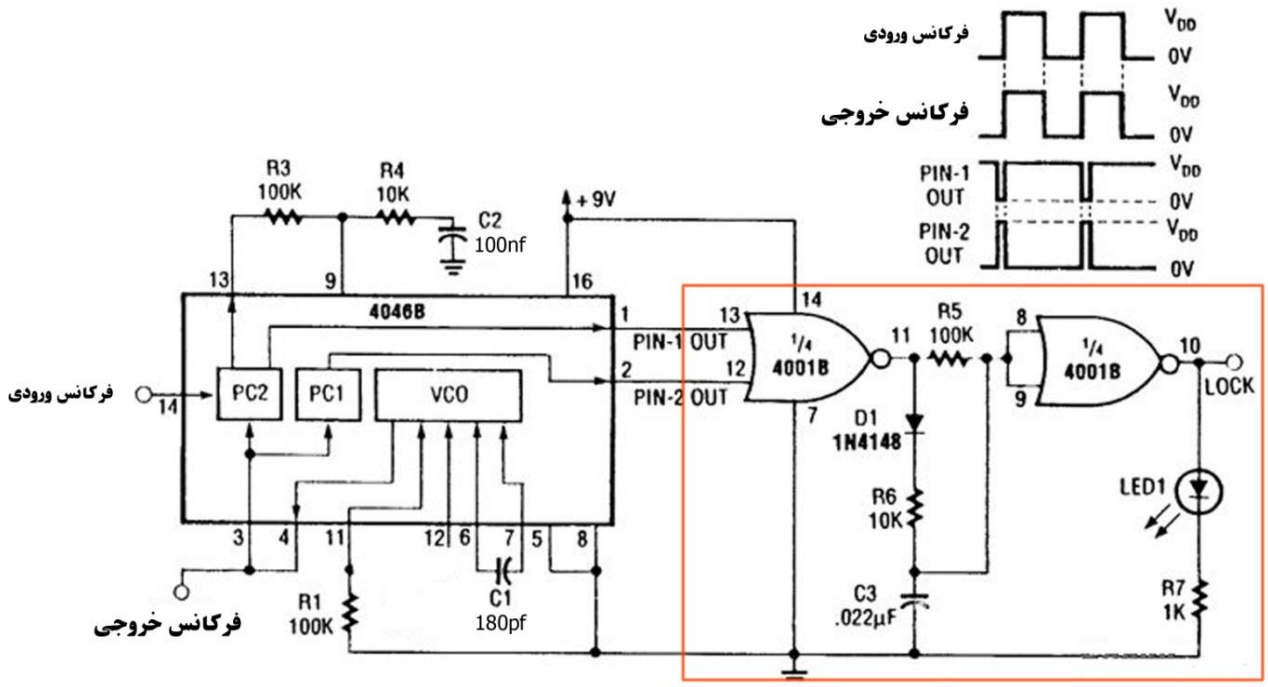
میدهد تا اینکه هر دو فرکانس و فاز یکی شوند که به این حالت قفل فاز میگویند .حال اگر فرکانس خروجی **VCO**از فرکانس ورودی بیشترشود عملکرد مدار برعکس میگردد .



Lock range محدوده ایست که **PLL** در آن در حالت قفل است . این محدوده را با F_{L1} و F_{L2} نشان میدهند .اگر فرکانس ورودی را از صفر شروع به افزایش دهیم می بینیم که دقیقا روی F_{L1} قفل نمیشود بلکه جایی بیشتر از آن مثل F_{c1} قفل میگردد و برعکس ، اگر ورودی را ازفرکانس های بالا شروع به کم کردن کنیم می بینیم که دقیقا رویF_{L2} قفل نمیشود بلکه جایی کمتر از آن مثل F_{c2} قفل میگردد.محدوده بین F_{c1} و F_{c2} را با **capture range** نمایش میدهند .



مدار نمونه از pll

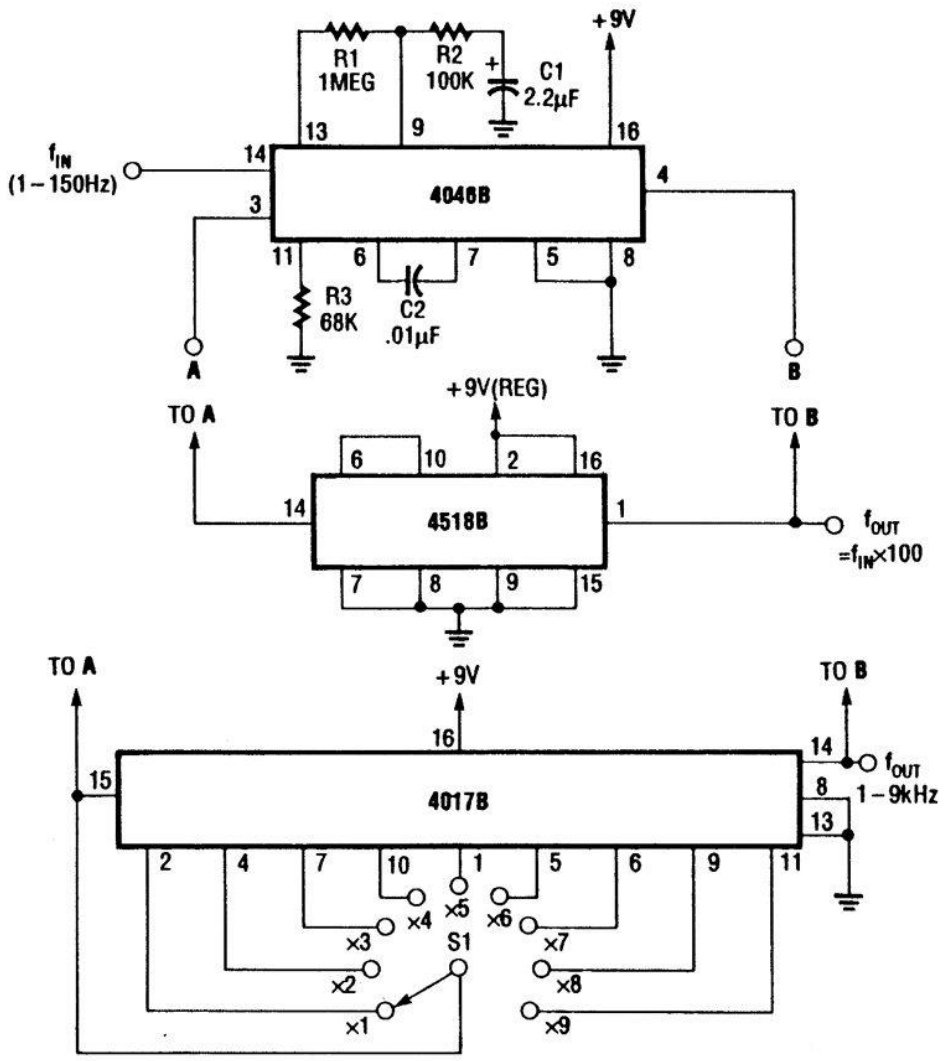


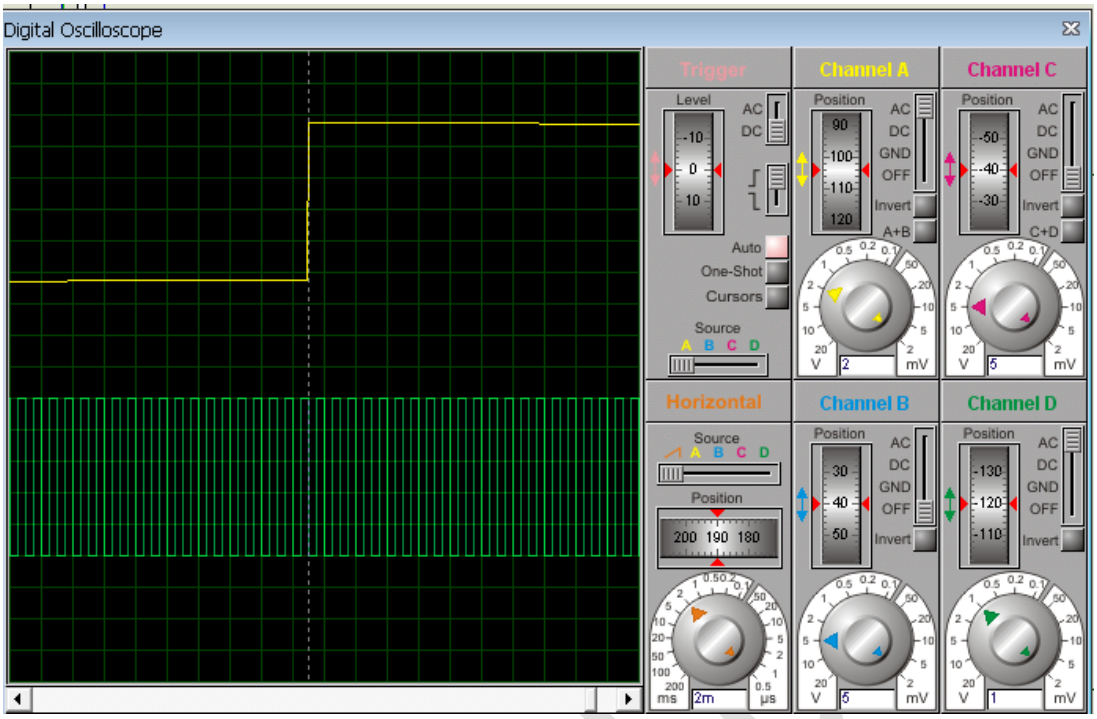
بخشی از مدار بالا که در مربع قرمز قرار دارد در عملکرد مدار تاثیری ندارد و فقط قفل بودن یا نبودن مدار را نشان میدهد به این صورت که زمانی که مدار قفل بود led روشن و در غیر این صورت خاموش است .R3 و R4 و C2 نقش فیلتر را در مدار بالا دارند . R1 و C1 نیز فرکانس VCO را تعیین میکنند.

چند نمونه مدار با استفاده از PLL

1- چند برابر کننده های فرکانسی (سینتی سایزر)

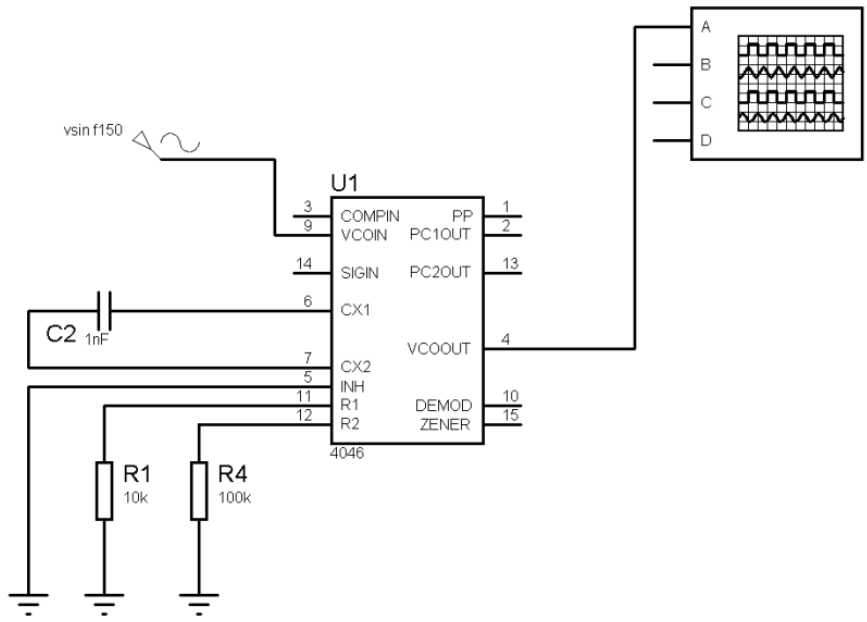
در این مدارات یک مقسم فرکانس بین خروجی VCO و ورودی مقایسه کننده قرار میگیردو PLL برای اینکه اثر تقسیم فرکانسی را از بین ببرد تا بتواند در حالت قفل بماند سیگنال را در همان نسبت تقسیم ضرب میکند .مدار تقسیم کننده فرکانسی بین پایه های 3 و 4 تراشه قرار میگیرد و خروجی مدار نیز به پایه 4 متصل می شود.

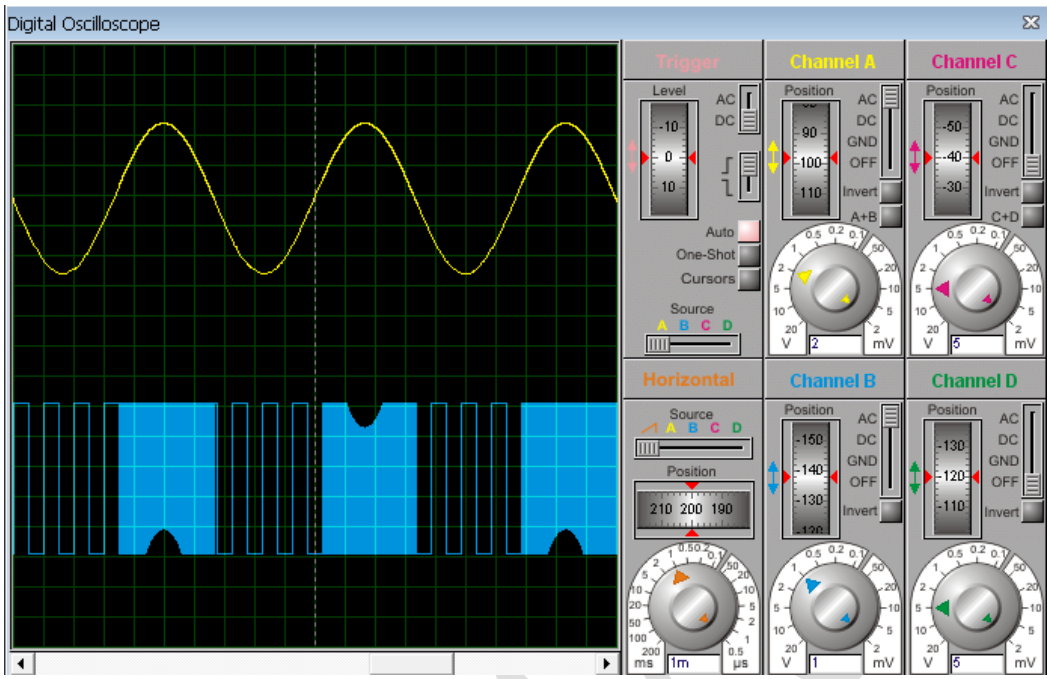

+9V
R1
1MEG
R2
100K
C1
2.2µF
13
9
16
f_{IN}
(1 – 150Hz)
14
4046B
4
3
11
6
7
5
8
R3
68K
C2
.01µF
A
B
+9V(REG)
TO A
TO B
6
10
2
16
14
4518B
1
f_{OUT}
$=f_{IN}\times100$
7
8
9
15
TO A
+9V
TO B
16
14
f_{OUT}
1 – 9kHz
15
4017B
8
13
2
4
7
10
1
5
6
9
11
×4
×5
×6
×3
S1
×7
×2
×8
×1
×9



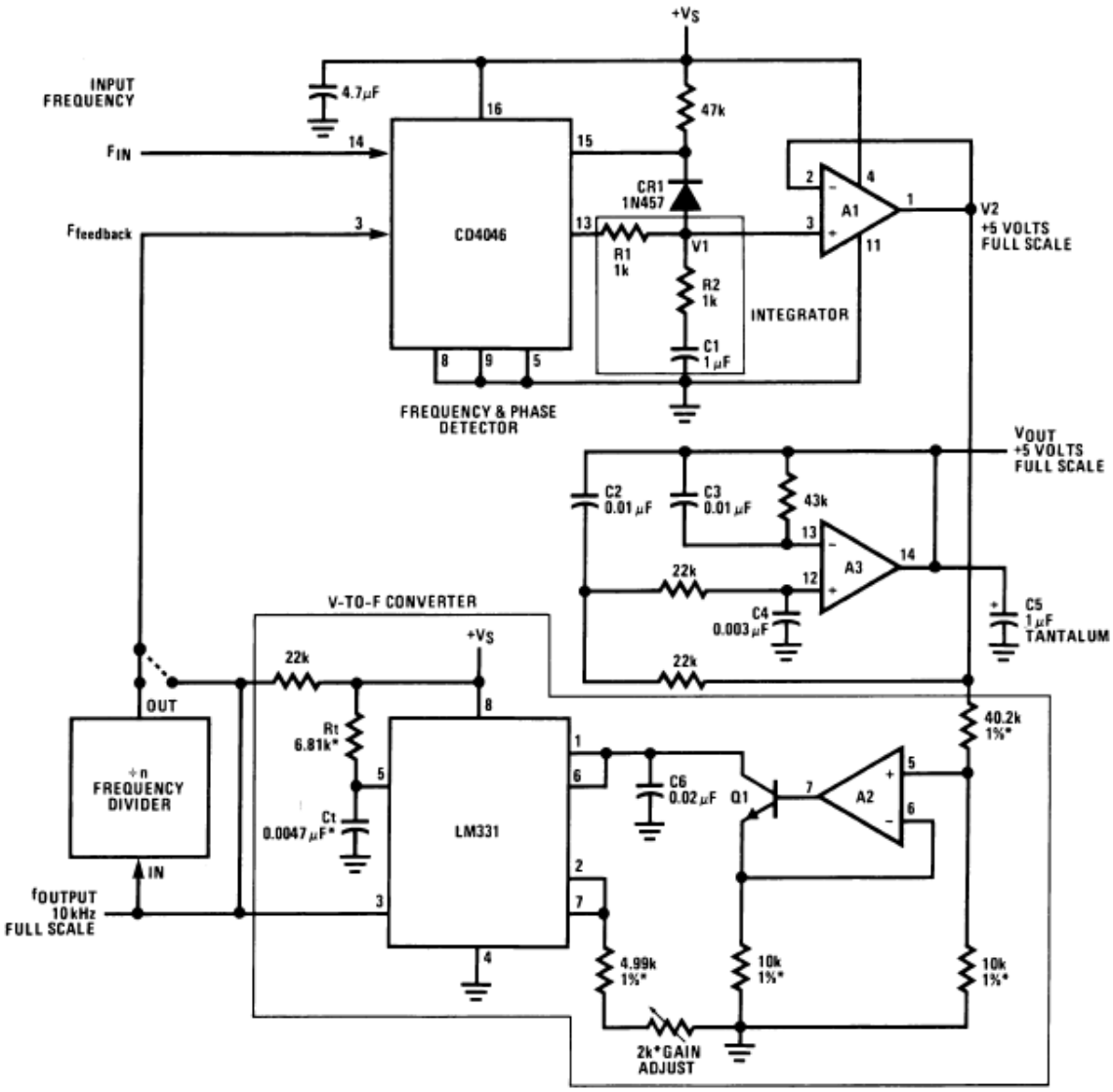
2- مدلاسیون fm

در مدلاسیون fmچون فرکانس بر اساس دامنه سیگنال تغییر میکند میتوان گفت مدلاتور fm یک vco است





3- دمدلاسیون fm

اگر سیگنال مدوله شده را به یک pll بدهیم سپس از یک lpf عبور بدهیم سیگنال پیام آشکار میگردد

4-تبدیل فرکانس به ولتاژ